

明細書

パレルシフト装置

技術分野

[0001] 本発明は、デジタル信号処理における多ビットデータの左右シフト処理を行うパレルシフト装置に関するものである。

背景技術

[0002] 従来のパレルシフト装置は、多段のセレクタにより構成される。一方、信号処理においてスループットを向上させる目的で、パレルシフト装置をパイプラインシジスタで分割し、シフト処理を多段処理ステージで実行する必要性が生じている。

[0003] 従来の多段セレクタ構成のパレルシフト装置として、例えば、特許文献1がある。特許文献1記載のパレルシフト装置は、制御信号によりシフトするかしないかを選択するセレクタにより構成されるシフト回路を多段に組合わせた構造を持つ。例えば、左15ビットシフトから右16ビットシフトの間で任意のシフトを実現する場合、それぞれ1ビット、2ビット、4ビット、8ビットの左シフト機能を持つシフト回路と16ビット右シフト機能を持つシフト回路を多段に組合わせることにより実現できる。この場合、右5ビットシフトを実現するには、1ビット左シフト回路、2ビット左シフト回路、8ビット左シフト回路と16ビット右シフト回路をアクティブにすればよい。

[0004] 以下に図10を用いて特許文献1記載のパレルシフト装置にパイプライン構造を導入した際の構成及びその動作の説明を詳細に行う。

[0005] 図10は特許文献1記載のパレルシフト装置にパイプライン構造を導入した際の概略図である。第1のシフト回路10は入力データを第1の制御信号に基づいてシフト処理し中間データ30として出力する。ここで、第1のシフト回路10は1ビット左シフト回路Ⅲと2ビット左シフト回路12と4ビット左シフト回路13とから構成されており、左7ビットシフトから50ビットシフトまでの任意のシフトを実現する。

[0006] 中間データ保持回路30は第1のシフト回路10の出力である中間データを保持し、次の第2のシフト回路へ出力する。

[0007] 制御信号保持回路40は第2の制御信号を保持し、出力する。

[000] 第₂ のシフト回路₅ 0は中間データを制御信号保持回路₄ 0の出力する第₂ の制御信号に基づいてシフト処理し出力データとして出力する。ここで、第₂ のシフト回路₅ 0は₈ ビット左シフト回路₅ 1と₁₆ ビット右シフト回路₅ 2とから構成されており、第1のシフト回路でのシフト処理と組合わせることにより入力データの左₁ ビットシフトから右₁₆ ビットシフトの間の任意のシフトを実現する。

特許文献：特開₂ 000—293354号公報(第₇ 頁、第1図)

発明の開示

発明が解決しようとする課題

[000] しかしながら、従来のパイプラインシジスタで分割するパレルシフト装置の技術では、第1のシフト回路を構成する各シフト回路を経由することにデータのビット幅が大きくなり、これにより、第1のシフト回路から出力される中間データのビット幅が大きくなり、更には、中間データ保持回路の実装規模が増大してしまうため、消費電力が増加するれづ課題があった。

[000] 本発明は上記従来の課題を解決するものであり、中間データ保持回路のデータの格納動作を制御することにより、パイプライン構造化による電力増加を抑制することを目的とする。

課題を解決するための手段

[001] 上記目的を達成するために、本発明のパレルシフト装置では、中間データ保持回路に保持する中間データのうち、最終出力データとして出力されるデータ要素以外の全部又は一部の不用なデータ要素の格納動作を抑制するようとする。

[002] すなわち、本発明のパレルシフト装置は、所定のビット幅の入力データを受け、第1のシフト量及び第₂ のシフト量を組み合わせた合計シフト量だけ前記入力データを左右シフトして、所望シフト後の出力データとして出力するパレルシフト装置において、前記入力データを受け、前記第1のシフト量を制御する第1の制御信号に基づいて前記入力データをシフトし、中間データとして出力する第1のシフト手段と、前記第1のシフト手段からの中間データを保持するための中間データ保持手段と、前記第₂ のシフト量を制御する前記第₂ の制御信号を保持し、出力する制御信号保持手段と、前記中間データ保持手段に保持された中間データを受け、前記制御信号保持手段

の出力する前記第2の制御信号に基づいて、前記受けた中間データをシフトさせて、前記所望シフト後の出力データとして出力する第2のシフト手段とを備えると共に、前記第2の制御信号を受け、この第2の制御信号に基づき、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素を一部又は全部除いたデータ要素の前記中間データ内での桁位置を検出するデコード手段を備え、前記中間データ保持手段は、前記デコード手段で検出された前記桁位置に基づいて、前記中間データのうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素の一部又は全部が除かれ、少なくとも前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素を含む桁位置のデータ要素を新たに保持することを特徴とする。

- [0013] 本発明は、前記パレルシフト装置において、前記デコード手段は、前記第2の制御信号が示す情報の全部に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素のみの前記中間データ内での桁位置を検出することを特徴とする。
- [0014] 本発明は、前記パレルシフト装置において、前記デコード手段は、前記第2の制御信号が示す情報の一部に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素を一部除いたデータ要素の前記中間データ内での桁位置を検出することを特徴とする。
- [0015] 本発明は、前記パレルシフト装置において、前記第2の制御信号は複数のビット信号からなる制御信号であって、前記中間データ保持手段は、前記第2の制御信号の所定の1ビット信号に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素が一部除かれた桁位置のデータ要素を保持及び出力することを特徴とする。
- [0016] 本発明のパレルシフト装置は、所定のビット幅の入力データを受け、第1のシフト量

及び第2のシフト量を組み合わせた合計シフト量だけ前記入力データを左右にシフトして、所望シフト後の出力データとして出力するパレルシフト装置において、前記入力データを受け、前記第 π のシフト量を制御する第1の制御信号に基づいて前記入力データをシフトし、中間データとして出力する第1のシフト手段と、前記第1のシフト手段からの中間データを保持するための中間データ保持手段と、前記第2のシフト量を制御する第2の制御信号を保持し、出力する制御信号保持手段と、前記中間データ保持手段に保持された中間データを受け、前記制御信号保持手段の出力する前記第2の制御信号に基づいて、前記受けた中間データをシフトさせて、前記所望シフト後の出力データとして出力する第2のシフト手段とを備えると共に、前記第1の制御信号を受け、この第1の制御信号に基づき、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記入力データに含まれるデータ要素の桁位置を検出するデコード手段とを備え、前記中間データ保持手段は、前記デコード手段で検出された前記桁位置に基づいて、前記中間データを構成する全てのデータ要素のうち、少なくとも前記入力データに含まれるデータ要素を含む桁位置のデータ要素を新たに保持することを特徴とする。

- [0017] 本発明は、前記パレルシフト装置において、前記デコード手段は、前記第1の制御信号が示す情報の全部に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記入力データに含まれるデータ要素のみの前記中間データ内での桁位置を検出することを特徴とする。
- [0018] 本発明は、前記パレルシフト装置において、前記デコード手段は、前記第1の制御信号が示す情報の一部に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記入力データに含まれるデータ要素以外のデータ要素の一部を除いたデータ要素の前記中間データ内での桁位置を検出することを特徴とする。
- [0019] 本発明は、前記パレルシフト装置において、前記第1の制御信号は複数ビットの信号からなる制御信号であって、前記中間データ保持手段は、前記第1の制御信号の所定の1ビットの信号に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記入力データに含まれるデータ要素以外のデータ要

素の一部が除かれた桁位置のデータ要素を保持及び出力することを特徴とする。

- [0020] 以上により、本発明では、第2のシフト手段で施されるシフト量を制御する第2の制御信号を、デコード手段を用いてデコードすることにより、中間データから出力データとして出力されるデータ要素の桁位置を検出し、中間データ保持手段では、少なくとも前記桁位置の中間データ要素を保持するように動作する。従って、最終データとして出力されない不用なデータ要素を中間データ保持手段で格納せず、以前保持していたデータ要素を保持し続けるので、その分、省電力化が可能となる。
- [0021] また、本発明では、第1のシフト手段で施されるシフト量を制御する第1の制御信号を、デコード手段を用いてデコードすることにより、中間データを構成する全てのデータ要素のうち、少なくとも入力データに含まれるデータ要素の桁位置を検出し、中間データ保持手段では、少なくともこの桁位置の中間データ要素を保持するように動作する。従って、入力データのデータ要素でないデータ要素を中間データ保持手段で格納せず、以前保持していたデータ要素を保持し続けるので、その分、省電力化が可能となる。

発明の効果

- [0022] 以上説明したように、本発明のパレルシフト装置によれば、パイプライン構造化により挿入される中間データ保持手段からデータを出力するまでの間の第2のシフト手段で施されるシフト量の情報を制御信号として用いて、中間データ保持手段での最終的には出力されないデータ要素の保持動作を抑制したので、省電力化を実現することが可能となる。
- [0023] また、本発明のパレルシフト装置によれば、データの入力からパイプライン構造化により挿入される中間データ保持手段までの間の第1のシフト手段で施されるシフト量の情報を制御信号として用いて、中間データ保持手段での不要なデータ要素の格納保持の動作を抑制したので、省電力化を実現することが可能となる。

図面の簡単な説明

- [0024] [図1]図1は本発明の第1の実施の形態のパレルシフト装置の概略図である。
[図2]図2は本発明の第1の実施の形態の皿ビット右シフト処理の動作説明図である。
。

[図3]図3は本発明の第1の実施の形態の中間データ保持回路の動作説明図である。

。

[図4]図4は本発明の第1の実施の形態の中間データ保持回路の動作説明図である。

。

[図5]図5は本発明の第2の実施の形態のパレルシフト装置の概略図である。

[図6]図6は本発明の第2の実施の形態の皿ビット右シフト処理の動作説明図である。

。

[図7]図7は本発明の第2の実施の形態の中間データ保持回路の動作説明図である。

。

[図8]図8は本発明の第2の実施の形態の中間データ保持回路の動作説明図である。

。

[図9]図9は本発明の第2の実施の形態の中間データ保持回路の動作説明図である。

。

[図10]図10は従来の技術の構成を示す概略図である。

符号の説明

[0025]	10	第 ¹ のシフト回路(第1のシフト手段)
	皿	1ビット左シフト回路
	12	2ビット左シフト回路
	13	4ビット左シフト回路
	20,60	デコード回路(デコード手段)
	30	中間データ保持回路(中間データ保持手段)
	40	制御信号保持回路(制御信号保持手段)
	50	第2のシフト回路(第2のシフト手段)
	51	8ビット左シフト回路
	52	16ビット右シフト回路
	C1[2:0]	第1の制御信号
	C1[0]	第1の制御信号の1ビットデータ (所定の1ビット信号)

C2[1:0]	第2の制御信号
C2[0]	第2の制御信号の1ビットデータ (所定の1ビット信号)
Hi	信号のアクティブな状態
Lo	信号のパッシブな状態
0	値0の出力
S	符号拡張出力
H	データ保持出力

発明を実施するための最良の形態

- [0026] 以下、本発明の実施の形態について図面を参照しながら説明する。
- [0027] (第1の実施の形態)
第1の実施の形態のパレルシフト装置の概略図を図1に示す。
- [0028] 本実施の形態におけるパレルシフト装置は、図1に示すように、パイプラインレジスタで分割され、多段処理ステージでシフト処理が実行される。
- [0029] ここでは、この図1を用いて、本実施の形態のパレルシフト装置の構成を説明する。尚、本実施の形態では、簡単のため16ビットデータ(所定のビット幅の入力データ)を左15ビットから右16ビットの範囲で任意に算術シフト可能なパレルシフト装置を前提として説明する。
- [0030] 図1において、10は第1のシフト回路であり、3ビットデータからなる第1の制御信号に基づいて人力データをシフト処理し、中間データ保持回路30へ中間データを出力する。この第1のシフト回路10は、1ビット左シフト回路11、2ビット左シフト回路12及び4ビット左シフト回路13の3つのシフト回路で構成される。これら3つのシフト回路11、12、13は、それぞれ、前記第1の制御信号のうち対応するビットデータを受ける。すなわち、第1の制御信号の各ビットデータの組み合わせにより、3つのシフト回路11、12、13でのシフト処理を組み合わせて、左7ビットシフトから50ビットシフトまでの任意のシフト量(第1のシフト量)を実現する。
- [0031] 50は第2のシフト回路であって、中間データ保持回路30の出力する中間データを受け、第1のシフト回路10におけるシフト処理に続いて所定のシフト処理を行つ、全

体として所望のシフトを完成させ、出力データを出力する。この第2のシフト回路50は、図1に示すように、8ビット左シフト回路51と16ビット右シフト回路52とから構成される。また、この第2のシフト回路50は、第1のシフト回路10と同様に外部から入力される第2の制御信号の制御によりシフト(第2のシフト量のシフト)処理を行うのであるが、第2の制御信号は第2のシフト回路50へ直接入力されない。第2の制御信号は、デコード回路20に入力されると共に、第2の制御信号を一旦保持する制御信号保持回路40を介して第2のシフト回路50に入力される。この制御信号保持回路40を介して第2のシフト回路50に入力された第2の制御信号は、2分割され、第2のシフト回路50中の2つのシフト回路51及び52にそれぞれ入力される。そして、2つのシフト回路51及び52によるそれぞれのシフト処理の組み合わせにより、第1のシフト回路10によるシフト処理に続くシフト処理を行い、入力データの左15ビットシフトから右16ビットシフトの間の任意のシフト、すなわち、所望のシフトを完成させ、出力する。

[0032] 一方、第2の制御信号が入力されたデコード回路20は、中間データのデータ要素のうち、第2のシフト回路50によりシフト処理された結果として出力される出力データのデータ要素の中間データ保持回路30中の桁位置を、第2の制御信号に基づいて検出し、その検出結果を中間データ保持回路30に対して出力する。このデコード回路20の検出結果を用いて、中間データ保持回路30は、出力データとして第2のシフト回路50から出力される桁位置のデータ要素のみ、又は、この出力される桁位置のデータ要素を含むデータ要素であって且つ出力データに反映されない不用なデータを一部除いたデータ要素を保持する。このようなデコード回路20の働きにより、中間データ保持回路30は、出力データのデータ要素として出力されない不用なデータ要素を保持しなくても済む分だけ不用な格納動作を省略できるので、省電力化が可能である。

[0033] 次に、図2を用いて、本実施の形態のパレルシフト装置について、具体的なシフト処理の動作説明を行う。ここでは、シフト処理の具体例として、皿ビット右シフト処理を行った場合について説明する。また、図中の“0”は値0を、“S”は符号拡張を、“H”は保持データを示す。

[0034] 図2に示す第1の制御信号C1[2:0]は3ビットデータであり、3つの1ビットデータC

1[0]、C1[1]、C1[2]から構成される。第1のシフト回路10を構成する1 ピット左シフト回路11、2ピット左シフト回路12、4ピット左シフト回路13は、それぞれ、第1の制御信号の各 ピットデータC1[0]、C1[1]、C1[2]により制御される。11 ピット右シフト処理時は第1の制御信号の1 ピットデータC1[0]、C1[2]がアクティブな状態“Hi”、また、第1の制御信号の1ピットデータC1[1]がパッシブな状態“Lo”となる。第1のシフト回路10に入力された入力データは第1の制御信号C1[2:0]に基づいてシフト処理される。

[0035] まず、1ピット左シフト回路11で1ピット左シフト処理され、0番目のビットデータには値0が埋められ、17ピット幅データとして出力される。次に、2ピット左シフト処理回路12ではシフト処理されず、17番目の ピットデータ及び18番目のビットデータが符号拡張され、19 ピット幅データとして出力される。更に、4ピット左シフト回路13では4ピット左シフト処理され、0番目のビットデータ、1番目の ピットデータ、2番目の ピットデータ、及び3番目のビットデータには値0が埋められ、23ピット幅データの中間データとして中間データ保持回路30へ出力される。

[0036] 第2の制御信号C2[1:0]は2 ピットデータであり、1ピットデータC2[0]、C2[1]で構成される。第2のシフト回路50を構成する8ピット左シフト回路51、16ピット右シフト回路52は、第2の制御信号の各ピットデータC2[0]、C2[1]で制御される。デコード回路20は、それぞれ、第2のシフト回路50でのシフト処理後出力される出力データのデータ要素が中間データのどの桁位置に出力されているかを第2の制御信号C2[1:0]から検出し、この検出結果を中間データ保持回路30へ出力する。この桁位置の検出動作を具体的に説明すると、例えば、11ビット右シフト処理時は第2の制御信号の ピットデータC2[1]がアクティブな状態“Hi”、また、第2の制御信号の ピットデータC2[0]がパッシブな状態“Lo”となり、第2のシフト回路50では16ピット右シフト処理が施されるので、中間データの16番目のビットから22番目までの ピットの桁位置のデータ要素が出力データのデータ要素として出力されることが分かる。従って、中間データ保持回路30はデコード回路20の桁位置の検出結果に基づいて、中間データの16番目のビットから22番目までの ピットの桁位置のデータ要素を新たに格納保持し、これら検出された桁位置以外の0番目の ピットから15番目の ピットまでの桁位置

のデータ要素に関しては以前の保持データ要素をそのまま継続して保持する。

- [0037] 制御信号保持回路40は第2の制御信号C2[1:0]を保持し、第2のシフト回路50へ出力する。第2のシフト回路50を構成する8ビット左シフト回路51、16ビット右シフト回路52はそれぞれ第2の制御信号の各ビットデータC2[0]、C2[1]が制御信号保持回路40に保持された後の出力により制御される。以下、簡単のため制御信号保持回路40に保持された後の信号も第2の制御信号C2[1:0]と表現する。11ビット右シフト処理時は第2の制御信号のビットデータC2[1]がアクティブな状態“Hi”、また、第2の制御信号のビットデータC2[0]がパッシブな状態“Lo”となる。第2のシフト回路50に入力された中間データ保持回路30の出力は前記第2の制御信号C2[1:0]に基づいてシフト処理される。
- [0038] まず、8ビット左シフト処理回路51ではシフト処理されず、23番目の~~ト~~トから30番目の~~ト~~トまでの桁位置が符号拡張され、31ビット幅データとして出力される。次に、16ビット右シフト回路52では16~~ト~~ト右シフト処理され、15番目のビットの桁位置が符号拡張され、16~~ト~~ト幅データの出力データとして出力される。
- [0039] 図3は中間データ保持回路30の動作説明図である。中間データ保持回路30は第2の制御信号C2[1:0]の状態によりデコード回路20の出力に基づいて、以下のように動作する。
- [0040] 第2の制御信号の各~~ト~~トデータC2[0]、C2[1]が共にパッシブな状態“Lo”的とき、0番目のビットから15番目のビットまでの桁位置の中間データのデータ要素がそのまま16ビットの出力データとして出力されるので、その0番目のビットから15番目のビットまでの桁位置の中間データのデータ要素が中間データ保持回路30に格納保持される。
- [0041] 第2の制御信号の~~ト~~トデータC2[0]がアクティブな状態“Hi”で、また、第2の制御信号の~~ト~~トデータC2[1]がパッシブな状態“Lo”的とき、8~~ト~~ト左シフト処理回路51により8ビット左シフトされ、16ビット右シフト処理回路52ではシフト処理されずそのままであり、第2のシフト回路50では8ビット左シフトされることになるため、中間データの中で8ビット左シフトされて出力データの16ビット幅に残る0番目の~~ト~~トから7番目の~~ト~~トまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

- [0042] 第2の制御信号のビットデータC2[1]がアクティブな状態“Hi”で、また、第2の制御信号のビットデータC2[0]がパッシブな状態“Lo”的とき、8ビット左シフト処理回路51ではシフト処理されずそのままであり、16ビット右シフト処理回路52により16ビット右シフト処理され、第2のシフト回路50では16ビット右シフト処理されることになるため、中間データの中で16ビット右シフトされて出力データの16ビット幅に残る16番目のビットから22番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。
- [0043] 第2の制御信号の各ビットデータC2[0]、C2[1]が共にアクティブな状態“Hi”的とき、8ビット左シフト処理回路51により8ビット左シフトされ、16ビット右シフト処理回路52により16ビット右シフト処理され、第2のシフト処理回路50では8ビット右シフト処理されることになるため、中間データの中で8ビット右シフトされて出力データの16ビット幅に残る8番目のビットから22番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。
- [0044] このように、中間データを構成する全てのデータ要素のうち、出力データとなるデータ要素のみが中間データ保持回路30に格納保持されることになる。
- [0045] 図4は中間データ保持回路30の動作説明図である。デコード回路20は第2の制御信号C2[1:0]の一部の信号をデコードするようにしてもよい。ここでは、第2の制御信号のビットデータ(所定の1ビットデータ)C2[1]をそのまま中間データ保持回路30に出力する。中間データ保持回路30は第2の制御信号のビットデータC2[1]の状態によりデコード回路20の出力に基づいて、以下のように動作する。
- [0046] 第2の制御信号のビットデータC2[1]がパッシブな状態“Lo”的とき、図3で説明したように、第2の制御信号のビットデータC2[0]が何れの状態であっても、中間データ中の0番目のビットから15番目のビットまでの桁位置のデータ要素には、第2のシフト回路50から出力される出力データが含まれるので、0番目のビットから15番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。
- [0047] また、第2の制御信号のビットデータC2[1]がアクティブな状態“Hi”的とき、図3で説明したように、第2の制御信号のビットデータC2[0]が何れの状態であっても、中間データ中の8番目のビットから22番目のビットまでの桁位置のデータ要素には、第

2のシフト回路50から出力される出力データが含まれているので、8番目のビットから22番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

- [0048] このように、少なくとも出力データとなるデータ要素を含む桁位置がデコード回路20により検出され、その出力データを含む桁位置のデータ要素が中間データ保持回路30に格納保持され、一部に符号拡張データ、又は値0を埋めたデータが格納される場合もある。
- [0049] 上記図3の場合が省電力に最も効果的であるが、第2の制御信号C2[1:0]の一部についてデコードすることによりデコード回路20の回路を簡単化することができる。
- [0050] 以上、算術シフト処理を前提に述べたが、論理シフト処理については符号拡張を値0拡張に置き換えるべき。また、他のシフト処理についても同様である。
- [0051] このようにして、第1の実施の形態においては中間データ保持回路30の動作を制御することにより、中間データ保持回路30を構成する記憶回路への不用なデータ要素の格納動作を防ぎ、以前のデータ要素を引き続き保持することにより、従来の技術と比べて中間データ保持回路30の省電力化と第2のシフト回路の活性化を抑えることによる省電力化が可能となる。
- [0052] (第2の実施の形態)
第2の実施の形態のパレルシフト装置の概略図を図5に示す。
- [0053] 本実施の形態における図5のパレルシフト装置は、第1の実施の形態と同様に、パイプラインレジスタで分割され、多段処理ステージでシフト処理が実行される。
- [0054] 先ず、図5を用いて、本実施の形態のパレルシフト装置の構成を説明する。尚、本実施の形態では、簡単のため16ビットデータ(所定のビット幅の入力データ)を左15ビットから右16ビットの範囲で任意に算術シフト可能なパレルシフト装置を前提として説明する。また、第1の実施の形態において、図1を用いて説明したパレルシフト装置と同一構成については、同一符号を付し、その説明を省略する。
- [0055] 図5におけるパレルシフト装置が、第1の実施の形態において示した図1のパレルシフト装置と異なるのは、デコード回路60の受ける制御信号が第2の制御信号ではなく第1の制御信号であり、第1のシフト回路10によりシフトされた入力データ要素の中

間データ保持回路30中における桁位置を、入力された第1の制御信号に基づいて検出する点である。この第1の制御信号に基づく検出では、デコード回路60は、第1のシフト回路10から出力されるデータのうち、少なくとも第1のシフト回路によるシフト後の入力データのデータ要素が、出力される桁位置を検出する。そして、この検出結果を受けた中間データ保持回路30は、中間データを構成する全てのデータ要素のうち、前記入力データのデータ要素以外のデータ要素を一部又は全部除いたデータ要素のみを保持し、この保持していたデータ要素を第2のシフト回路50へ出力する。

- [0056] これにより、中間データ保持回路30に保持すべきデータを縮小することができ、不用な格納動作を抑制できるので省電力化が可能である。
- [0057] 次に、図6を用いて、本実施の形態のパレルシフト装置について、具体的なシフト処理の動作説明を行う。ここでは、シフト処理の具体例として、4ビット右シフト処理を行った場合について説明する。また、図中の“0”は値0を、“S”は符号拡張を、“H”は保持データを示す。
- [0058] 第1の制御信号C1[2:0]は3ビットデータであり、1ビットデータC1[0]、C1[1]、C1[2]で構成される。第1のシフト回路10を構成する1ビット左シフト回路41、2ビット左シフト回路12、4ビット左シフト回路13はそれぞれ第1の制御信号の各ビットデータC1[0]、C1[1]、C1[2]により制御される。4ビット右シフト処理時は第1の制御信号のビットデータC1[0]、C1[2]がアクティブな状態“Hi”、また、第1の制御信号のビットデータC1[1]がパッシブな状態“Lo”となる。第1のシフト回路10に入力された入力データは前記第1の制御信号C1[2:0]に基づいてシフト処理される。
- [0059] まず、1ビット左シフト回路41で1ビット左シフト処理され、0番目のビットの桁位置には値0のデータ要素が埋められ、17ビット幅データとして出力される。次に、2ビット左シフト処理回路12ではシフト処理されず、17番目のビットと18番目のビットとが符号拡張され、19ビット幅データとして出力される。更に、4ビット左シフト回路13では4ビット左シフト処理され、0番目のビット、1番目のビット、2番目のビット、及び3番目のビットの桁位置には値0のデータ要素が埋められ、23ビット幅データの中間データとして中間データ保持回路30へ出力される。
- [0060] デコード回路60は第1の制御信号C1[2:0]から、入力データのデータ要素が中間

データのどの桁位置に出力されているかを検出し、その検出結果を中間データ保持回路30へ出力する。11 ビット右シフト処理時は第1の制御信号の ビットデータC1[0]、C1[2]がアクティブな状態“H”、また、第1の制御信号の ビットデータC1[1]がパッシブな状態“Lo”となり、第1のシフト回路10の部分では、5ビット左シフト処理が施されるので、中間データの5番目のビットから20番目の ビットまでの桁位置のデータ要素が入力データのデータ要素であることが分かる。

- [0061] 中間データ保持回路30はデコード回路60の出力に基づいて、中間データの5番目の ビットから20番目の ビットまでの桁位置のデータ要素を格納保持し、0番目のビットから4番目の ビット、及び21番目のビット、22番目の ビットの桁位置のデータ要素に関しては以前の保持データ要素を継続して保持する。そして、第2のシフト回路50へ出力する段階で、0番目の ビットから4番目の ビットの桁位置については値0のデータ要素を出力し、5番目のビットから20番目のビットまでの桁位置については格納保持したデータ要素を出力し、21番目のビット、22番目の ビットについては符号拡張して出力する。このように、本実施の形態では、算術シフト演算の場合を示しているので、保持したデータより上位の桁位置には、入力データの符号が出力され、また、保持したデータより下位の桁位置には、値0のデータ要素が出力される。
- [0062] 制御信号保持回路40は第2の制御信号C2[1:0]を保持し、第2のシフト回路50へ出力する。第2のシフト回路50を構成する8ビット左シフト回路51、16ビット右シフト回路52はそれぞれ第2の制御信号のビットデータC2[0]、C2[1]が制御信号保持回路40に保持された後の出力により制御される。以下、簡単のため制御信号保持回路40に保持された後の信号も第2の制御信号C2[1:0]と表現する。11ビット右シフト処理時は第2の制御信号のビットデータC2[1]がアクティブな状態“H”、また、第2の制御信号のビットデータC2[0]がパッシブな状態“Lo”となる。第2のシフト回路50に入力された中間データ保持回路30の出力は前記第2の制御信号C2[1:0]に基づいてシフト処理される。
- [0063] まず、8ビット左シフト処理回路51ではシフト処理されず、23番目の ビットから30番目の ビットが符号拡張され、31ビット幅データとして出力される。次に、16ビット右シフト回路52では16 ビット右シフト処理され、15番目のビットが符号拡張され、16 ビット

幅データの出力データとして出力される。

- [0064] 図7は中間データ保持回路30の動作説明図である。中間データ保持回路30は第1の制御信号C1[2:0]の状態によりデコード回路60の出力に基づいて、以下のように動作する。
 - [0065] 第1の制御信号のビットデータC1[0]、C1[1]、C1[2]が全てパッシブな状態“Lo”的とき、0番目のビットから15番目のビットまでの桁位置の入力データのデータ要素がそのまま16ビットの中間データとして第1のシフト回路10から出力されるので、0番目のビットから15番目のビットまでの桁位置の中間データのデータ要素が中間データ保持回路30に格納保持される。
 - [0066] 第1の制御信号のビットデータC1[0]がアクティブな状態“Hi”で、また、第1の制御信号のビットデータC1[1]、C1[2]がパッシブな状態“Lo”的とき、1ビット左シフト処理回路Ⅲにより1ビット左シフトされ、2ビット左シフト処理回路12及び4ビット左シフト処理回路13ではシフト処理されずそのままであり、第1のシフト回路10としては1ビット左シフトすることとなるため、中間データとしては、入力データの出力される桁位置である1番目のビットから16番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。
 - [0067] 第1の制御信号のビットデータC1[1]がアクティブな状態“Hi”で、また、第1の制御信号のビットデータC1[0]、C1[2]がパッシブな状態“Lo”的とき、2ビット左シフト処理回路12により2ビット左シフトされ、1ビット左シフト処理回路Ⅲ及び4ビット左シフト処理回路13ではシフト処理されずそのままであり、第1のシフト回路10としては2ビット左シフトすることとなるため、中間データとしては、入力データの出力される桁位置である2番目のビットから17番目のビットまでのデータ要素が中間データ保持回路30に格納保持される。
 - [0068] 第1の制御信号のビットデータC1[0]、C1[1]がアクティブな状態“Hi”で、また、第1の制御信号のビットデータC1[2]がパッシブな状態“Lo”的とき、1ビット左シフト処理回路Ⅲにより1ビット左シフトされ、且つ、2ビット左シフト処理回路12により2ビット左シフトされ、また、4ビット左シフト処理回路13ではシフト処理されずそのままであり、第1のシフト回路10としては3ビット左シフトすることとなるため、中間データとして

は、入力データの出力される桁位置である3番目の ピットから18番目の ピットまでのデータ要素が中間データ保持回路30に格納保持される。

- [0069] 第1の制御信号の ピットデータC1[2]がアクティブな状態“Hi”で、また、第1の制御信号の ピットデータC1[0]、C1[1]がパッシブな状態“Lo”的とき、4ビット左シフト処理回路13により4ビット左シフトされ、1ビット左シフト処理回路14及び2 ピット左シフト処理回路12ではシフト処理されずそのままであり、第1のシフト処理回路10としては4ビット左シフトすることとなるため、中間データとしては、入力データの出力される桁位置である4番目の ピットから19番目の ピットまでのデータ要素が中間データ保持回路30に格納保持される。
- [0070] 第1の制御信号の ピットデータC1[0]、C1[2]がアクティブな状態“Hi”で、また、第1の制御信号のピットデータC1[1]がパッシブな状態“Lo”的とき、1ビット左シフト処理回路14により1ビット左シフトされ、且つ、4ビット左シフト処理回路13により4ビット左シフトされ、また、2 ピット左シフト処理回路12ではシフト処理されずそのままであり、第1のシフト処理回路10としては5 ピット左シフトすることとなるため、中間データとしては、入力データの出力される桁位置である5番目の ピットから20番目の ピットまでのデータ要素が中間データ保持回路30に格納保持される。
- [0071] 第1の制御信号の ピットデータC1[1]、C1[2]がアクティブな状態“Hi”で、また、第1の制御信号のピットデータC2[0]がパッシブな状態“Lo”的とき、2ビット左シフト処理回路12により2ビット左シフトされ、且つ、4ビット左シフト処理回路13により4ビット左シフトされ、また、1 ピット左シフト処理回路14ではシフト処理されずそのままであり、第1のシフト処理回路10としては6 ピット左シフトすることとなるため、中間データとしては、入力データの出力される桁位置である6番目の ピットから21番目の ピットまでのデータ要素が中間データ保持回路30に格納保持される。
- [0072] 第1の制御信号の ピットデータC1[0]、C1[1]、C1[2]が全てアクティブな状態“Hi”的とき、1 ピット左シフト処理回路11、2 ピット左シフト処理回路12及び4ビット左シフト処理回路、すなわち、第1のシフト処理回路10により7ビット左シフトされるため、中間データとしては、入力データの出力される桁位置である7番目のビットから22番目の ピットまでのデータ要素が中間データ保持回路30に格納保持される。

- [0073] このように、中間データを構成する全てのデータ要素のうち、入力データのデータ要素のみが中間データ保持回路30に新たに格納保持されることになる。
- [0074] 図8は中間データ保持回路の動作説明図である。デコード回路60は第1の制御信号C1[2:0]の一部の信号をデコードするようにしてもよい。ここでは、第1の制御信号C1[2:1]をデコードして中間データ保持回路30に出力する。中間データ保持回路30は第1の制御信号C1[1:0]の状態によりデコード回路60の出力に基づいて、以下のように動作する。
- [0075] 第1の制御信号のビットデータC1[1]、C1[2]が共にパッシブな状態“Lo”的とき、図7を用いて説明したように、第1の制御信号のビットデータC1[0]が何れの状態であっても、中間データ中の0番目のビットから16番目のビットまでのデータ要素には、入力データのデータ要素が含まれるので、0番目のビットから16番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。
- [0076] 第1の制御信号のビットデータC1[1]がアクティブな状態“Hi”で、また、第1の制御信号のビットデータC1[2]がパッシブな状態“Lo”的とき、図7を用いて説明したように、第1の制御信号のビットデータC1[0]が何れの状態であっても、中間データ中の2番目のビットから18番目のビットまでの桁位置のデータ要素には、入力データのデータ要素が含まれるので、2番目のビットから18番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。
- [0077] 第1の制御信号のビットデータC1[2]がアクティブな状態“Hi”で、また、第1の制御信号のビットデータC1[1]がパッシブな状態“Lo”的とき、図7を用いて説明したように、第1の制御信号のビットデータC1[0]が何れの状態であっても、中間データ中の4番目のビットから20番目のビットまでの桁位置のデータ要素には、入力データのデータ要素が含まれるので、4番目のビットから20番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。
- [0078] 第1の制御信号のビットデータC1[1]、C1[2]が共にアクティブな状態“Hi”的とき、図7を用いて説明したように、第1の制御信号のビットデータC1[0]が何れの状態であっても、中間データ中の6番目のビットから22番目のビットまでの桁位置のデータ要素には、入力データのデータ要素が含まれるので、6番目のビットから22番目の

ビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

- [0079] このように、少なくとも入力データに含まれるデータ要素が中間データ保持回路30に格納保持され、一部に符号拡張データ、値0を埋めたデータが格納されることになる。
- [0080] 図9は中間データ保持回路の動作説明図である。デコード回路60は第1の制御信号C1[2:0]の一部の信号をデコードするようにしててもよい。ここでは、図8を用いて示した場合よりも更に少ない、1ビットの第1の制御信号のビットデータC1[2]をそのまま中間データ保持回路30に出力する。中間データ保持回路30は第1の制御信号のビットデータC1[2]の状態によりデコード回路60の出力に基づいて、以下のように動作する。
- [0081] 第1の制御信号のビットデータC1[2]がパッシブな状態“Lo”的とき、図7を用いて説明したように、第1の制御信号のビットデータC1[0]及びC1[1]が何れの状態であっても、中間データ中の0番目のビットから18番目のビットまでの桁位置のデータ要素には、入力データのデータ要素が含まれるので、0番目のビットから18番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。
- [0082] 第1の制御信号のビットデータC1[2]がアクティブな状態“Hi”的とき、図7を用いて説明したように、第1の制御信号ビットデータC1[0]及びC1[1]が何れの状態であっても、中間データ中の4番目のビットから22番目のビットまでの桁位置のデータ要素には、入力データのデータ要素が含まれるので、4番目のビットから22番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。
- [0083] このように、少なくとも入力データのデータ要素が中間データ保持回路30に格納保持され、一部に符号拡張データ、値0埋めのデータが格納されることになる。
- [0084] 上記図7の場合が省電力に最も効果的であるが、上記図8、図9のように第1の制御信号C1[2:0]の一部についてデコードすることによりデコード回路60の回路を簡単化することができる。
- [0085] 以上、算術シフト処理を前提に述べたが、論理シフト処理については符号拡張を値0拡張に置き換えればよい。また、他のシフト処理についても同様である。
- [0086] このようにして、第2の実施の形態においては中間データ保持回路30の動作を制

御することにより、中間データ保持回路30を構成する記憶回路への不用なデータの格納動作を防ぎ、従来の技術と比べて中間データ保持回路30の省電力化が可能となる。

産業上の利用可能性

[0087] 本発明のパレルシフト装置は、パイプライン構造化によりシフト回路間に挿入される中間データ保持回路の動作を制御し、出力データに反映されない不用なデータ要素の格納保持の動作を抑制することにより、パレルシフト装置の省電力化が可能となるので、デジタル信号処理における多ビットデータの左右シフト処理を行う半導体装置の構成要素等として有用である。

請求の範囲

- [1] 所定のビット幅の入力データを受け、第1のシフト量及び第2のシフト量を組み合わせた合計シフト量だけ前記入力データを左右にシフトして、所望シフト後の出力データとして出力するパレルシフト装置において、
前記入力データを受け、前記第1のシフト量を制御する第1の制御信号に基づいて前記入力データをシフトし、中間データとして出力する第1のシフト手段と、
前記第1のシフト手段からの中間データを保持するための中間データ保持手段と、
前記第2のシフト量を制御する第2の制御信号を保持し、出力する制御信号保持手段と、
前記中間データ保持手段に保持された中間データを受け、前記制御信号保持手段の出力する前記第2の制御信号に基づいて、前記受けた中間データをシフトさせて、前記所望シフト後の出力データとして出力する第2のシフト手段とを備えると共に、
前記第2の制御信号を受け、この第2の制御信号に基づき、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素の一部又は全部を除いたデータ要素の前記中間データ内での桁位置を検出するデコード手段を備え、
前記中間データ保持手段は、前記デコード手段で検出された前記桁位置に基づいて、前記中間データのうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素の一部又は全部が除かれ、少なくとも前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素を含む桁位置のデータ要素を新たに保持することを特徴とするパレルシフト装置。
- [2] 請求項1記載のパレルシフト装置において、
前記デコード手段は、前記第2の制御信号が示す情報の全部に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素のみの前記中間

- データ内での桁位置を検出する
ことを特徴とするパレルシフト装置。
- [3] 請求項1記載のパレルシフト装置において、
前記デコード手段は、前記第2の制御信号が示す情報の一部に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素の一部を除いたデータ要素の前記中間データ内での桁位置を検出する
ことを特徴とするパレルシフト装置。
- [4] 請求項1記載のパレルシフト装置において、
前記第2の制御信号は複数ビットの信号からなる制御信号であって、
前記中間データ保持手段は、前記第2の制御信号の所定の1ビットの信号に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素の一部が除かれた桁位置のデータ要素を保持及び出力する
ことを特徴とするパレルシフト装置。
- [5] 所定のビット幅の入力データを受け、第1のシフト量及び第2のシフト量を組み合わせた合計シフト量だけ前記入力データを左右にシフトして、所望シフト後の出力データとして出力するパレルシフト装置において、
前記入力データを受け、前記第1のシフト量を制御する第1の制御信号に基づいて前記入力データをシフトし、中間データとして出力する第1のシフト手段と、
前記第1のシフト手段からの中間データを保持するための中間データ保持手段と、
前記第2のシフト量を制御する第2の制御信号を保持し、出力する制御信号保持手段と、
前記中間データ保持手段に保持された中間データを受け、前記制御信号保持手段の出力する前記第2の制御信号に基づいて、前記受けた中間データをシフトさせて、前記所望シフト後の出力データとして出力する第2のシフト手段とを備えると共に、
前記第1の制御信号を受け、この第1の制御信号に基づき、前記第1のシフト手段

からの中間データを構成する全てのデータ要素のうち、前記入力データに含まれるデータ要素の桁位置を検出するデコード手段とを備え、

前記中間データ保持手段は、前記デコード手段で検出された前記桁位置に基づいて、前記中間データを構成する全てのデータ要素のうち、少なくとも前記入力データに含まれるデータ要素を含む桁位置のデータ要素を新たに保持することを特徴とするパレルシフト装置。

[6] 請求項5記載のパレルシフト装置において、

前記デコード手段は、前記第1の制御信号が示す情報の全部に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記入力データに含まれるデータ要素のみの前記中間データ内での桁位置を検出することを特徴とするパレルシフト装置。

[7] 請求項5記載パレルシフト装置において、

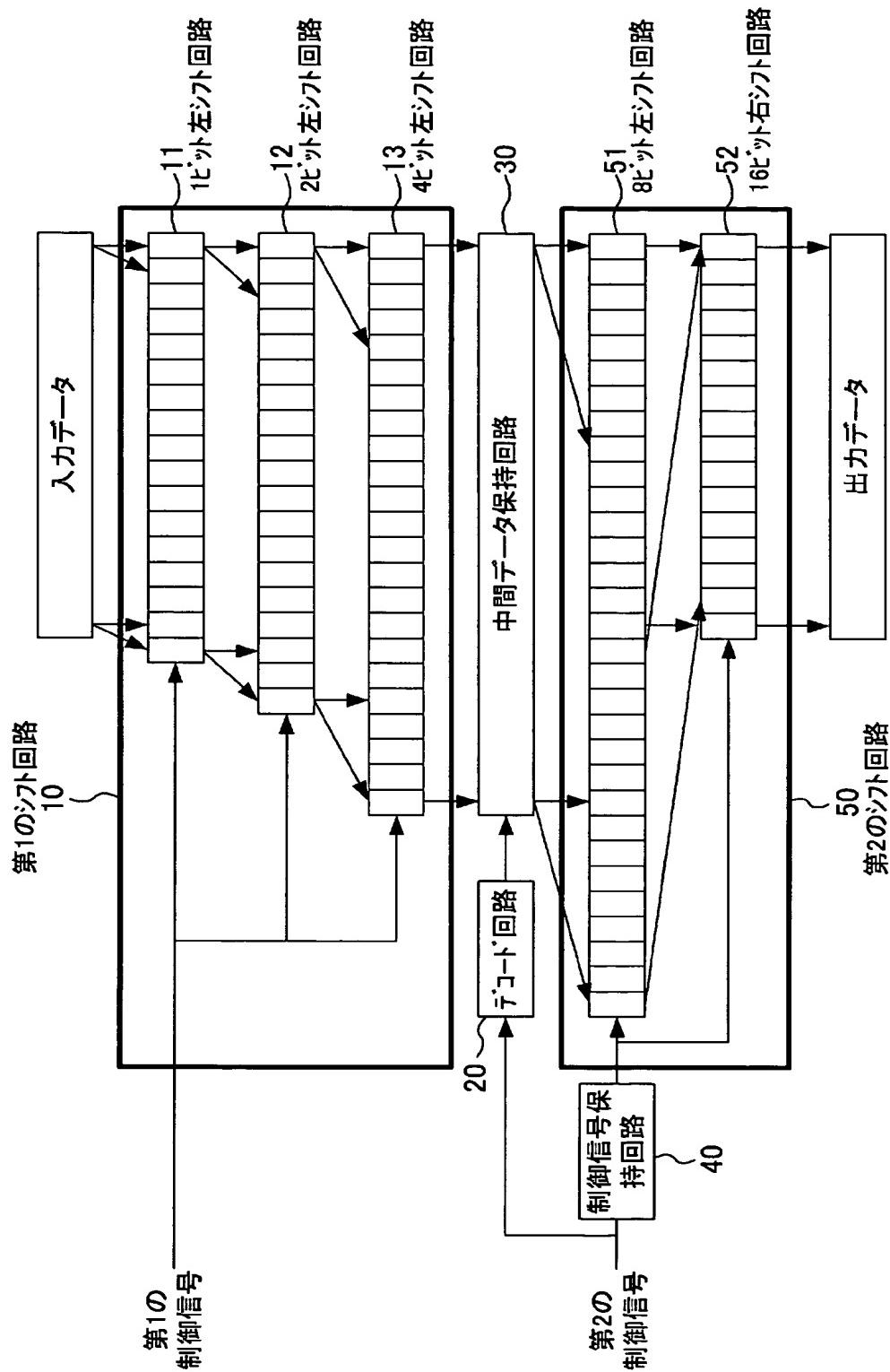
前記デコード手段は、前記第1の制御信号が示す情報の一部に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記入力データに含まれるデータ要素以外のデータ要素の一部を除いたデータ要素の前記中間データ内での桁位置を検出することを特徴とするパレルシフト装置。

[8] 請求項5に記載のパレルシフト装置において、

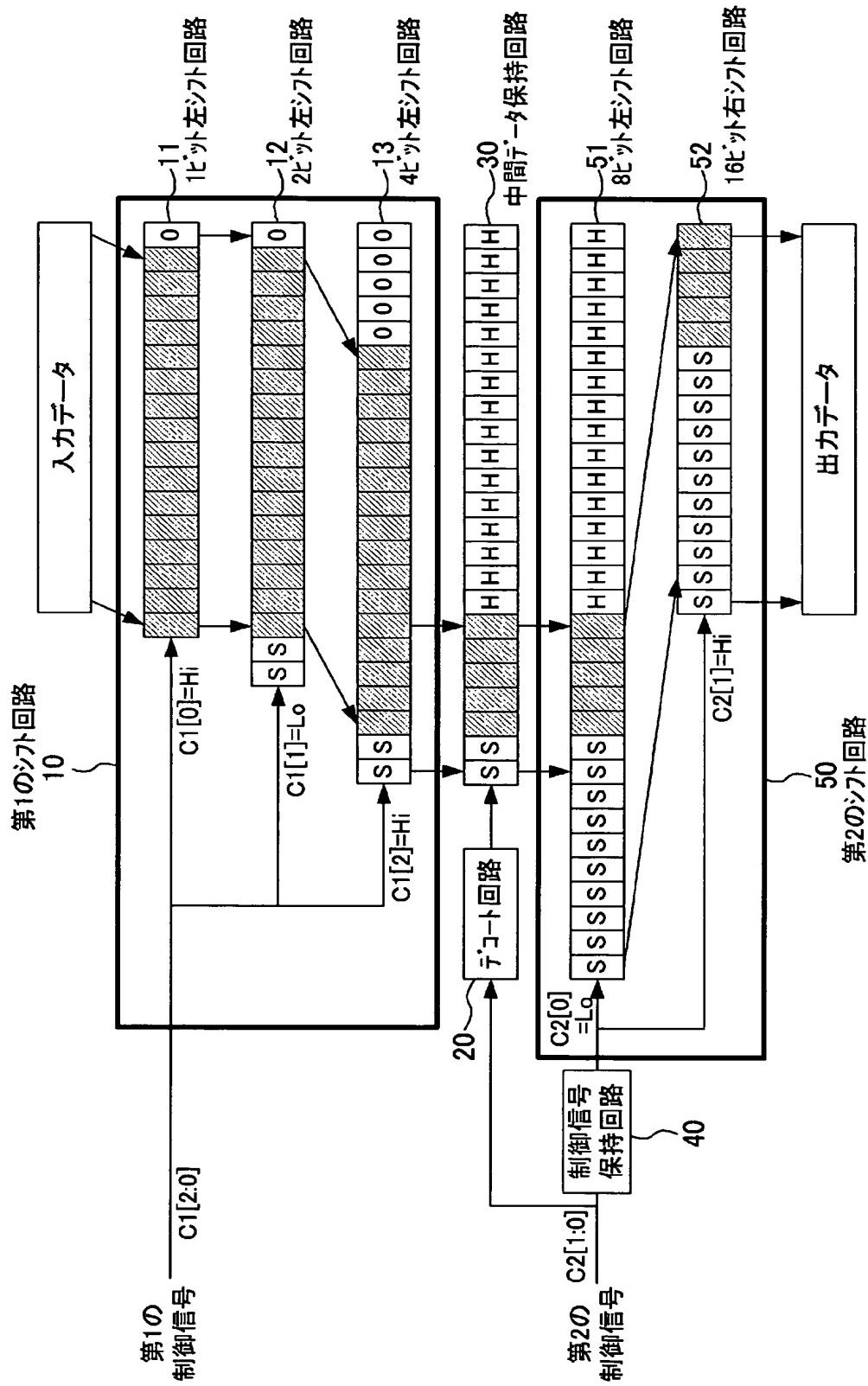
前記第1の制御信号は複数ビットの信号からなる制御信号であって、

前記中間データ保持手段は、前記第1の制御信号の所定の1ビットの信号に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記入力データに含まれるデータ要素以外のデータ要素の一部が除かれた桁位置のデータ要素を保持及び出力することを特徴とするパレルシフト装置。

[図1]



[図2]



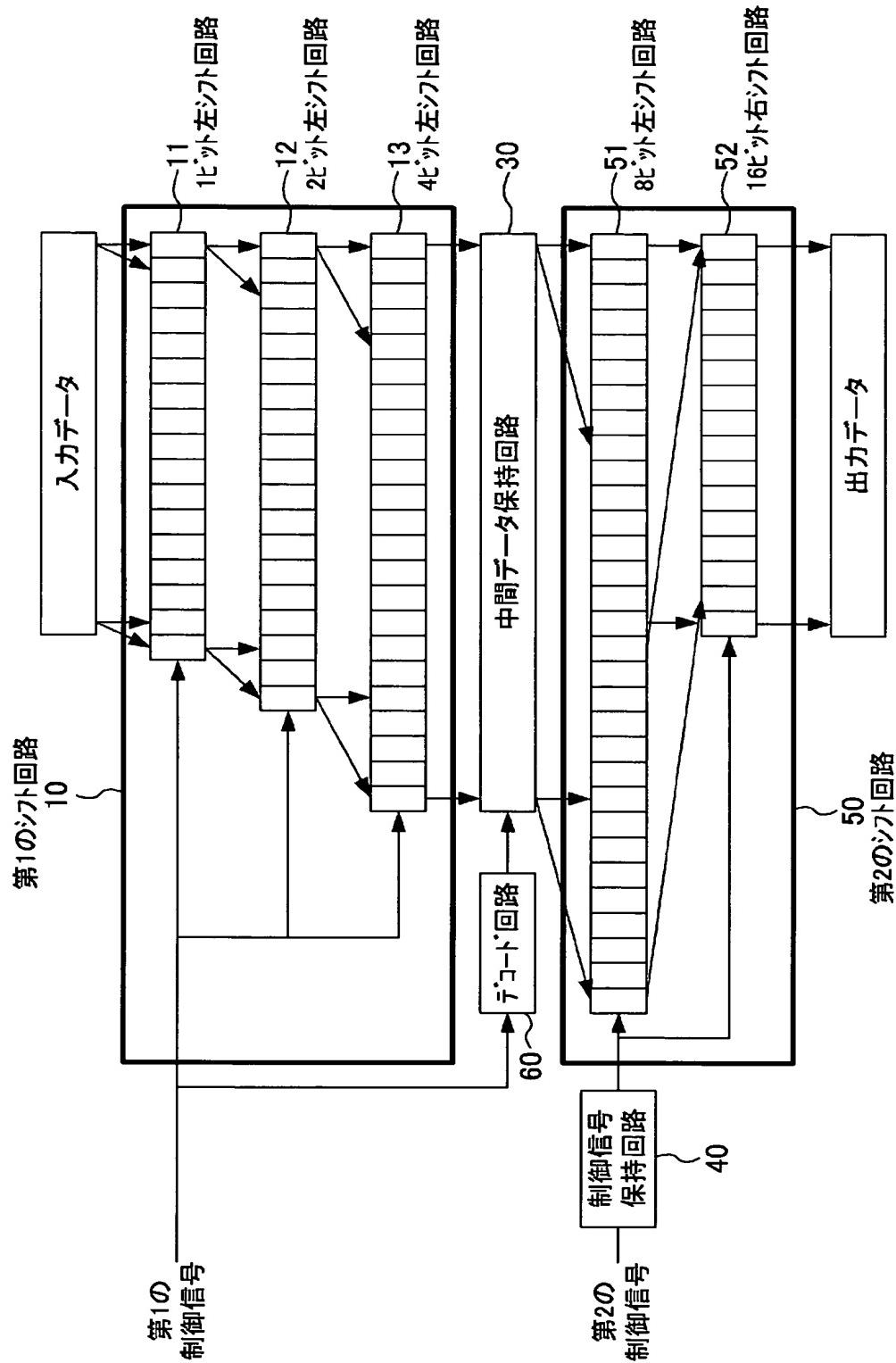
[図3]

C2[1]	C2[0]	22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Lo	Lo	
Lo	Hi	
Hi	Lo	
Hi	Hi	

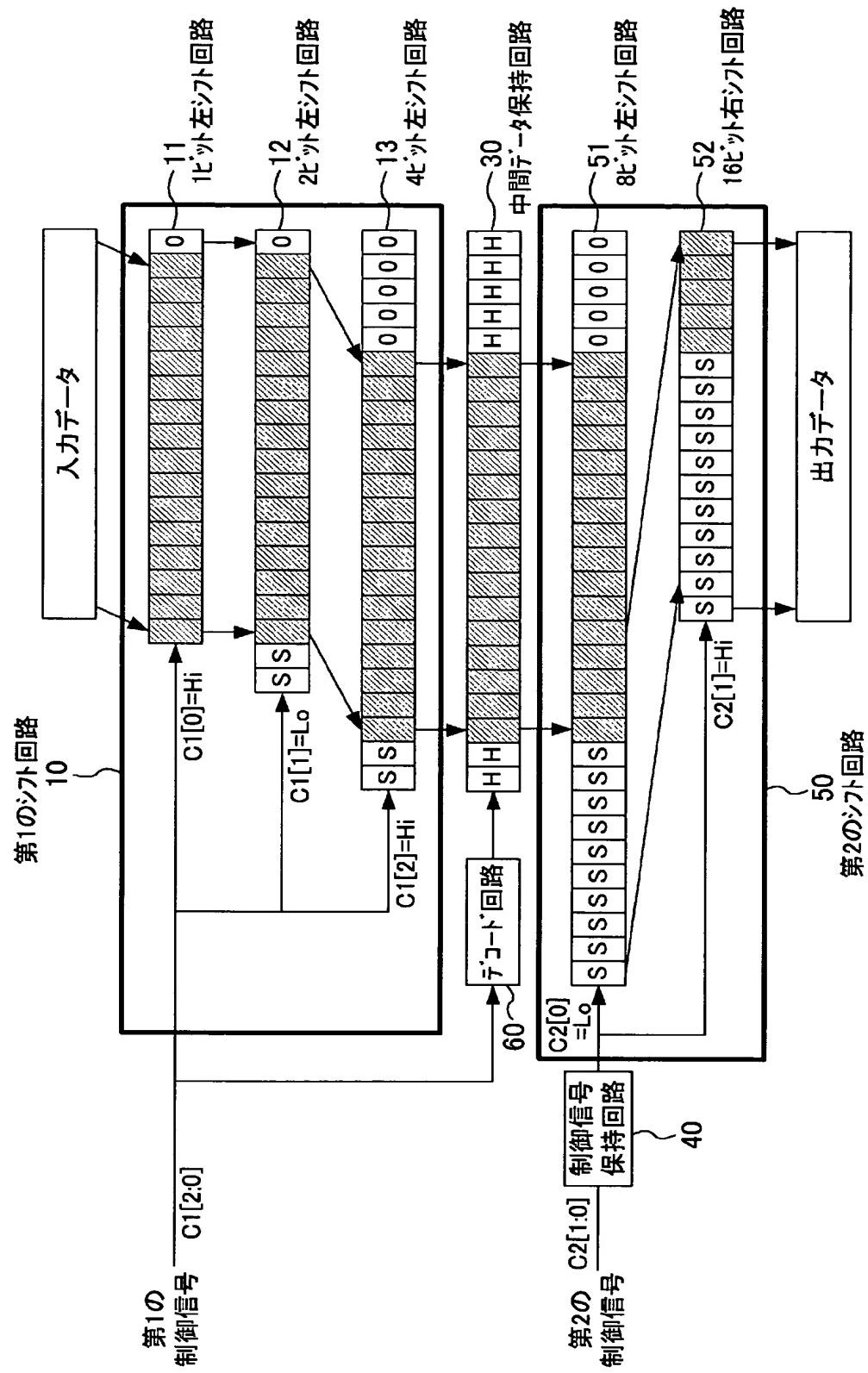
[図4]

C2[1]	C2[0]	22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Lo	--	
Hi	--	

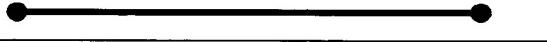
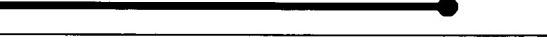
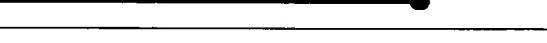
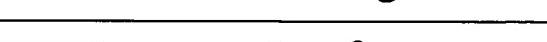
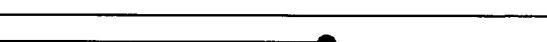
[図5]



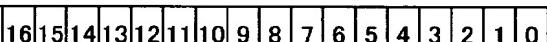
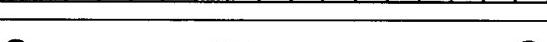
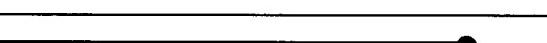
[図6]



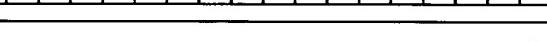
[図7]

C1[2]	C1[1]	C1[0]	22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Lo	Lo	Lo	
Lo	Lo	Hi	
Lo	Hi	Lo	
Lo	Hi	Hi	
Hi	Lo	Lo	
Hi	Lo	Hi	
Hi	Hi	Lo	
Hi	Hi	Hi	

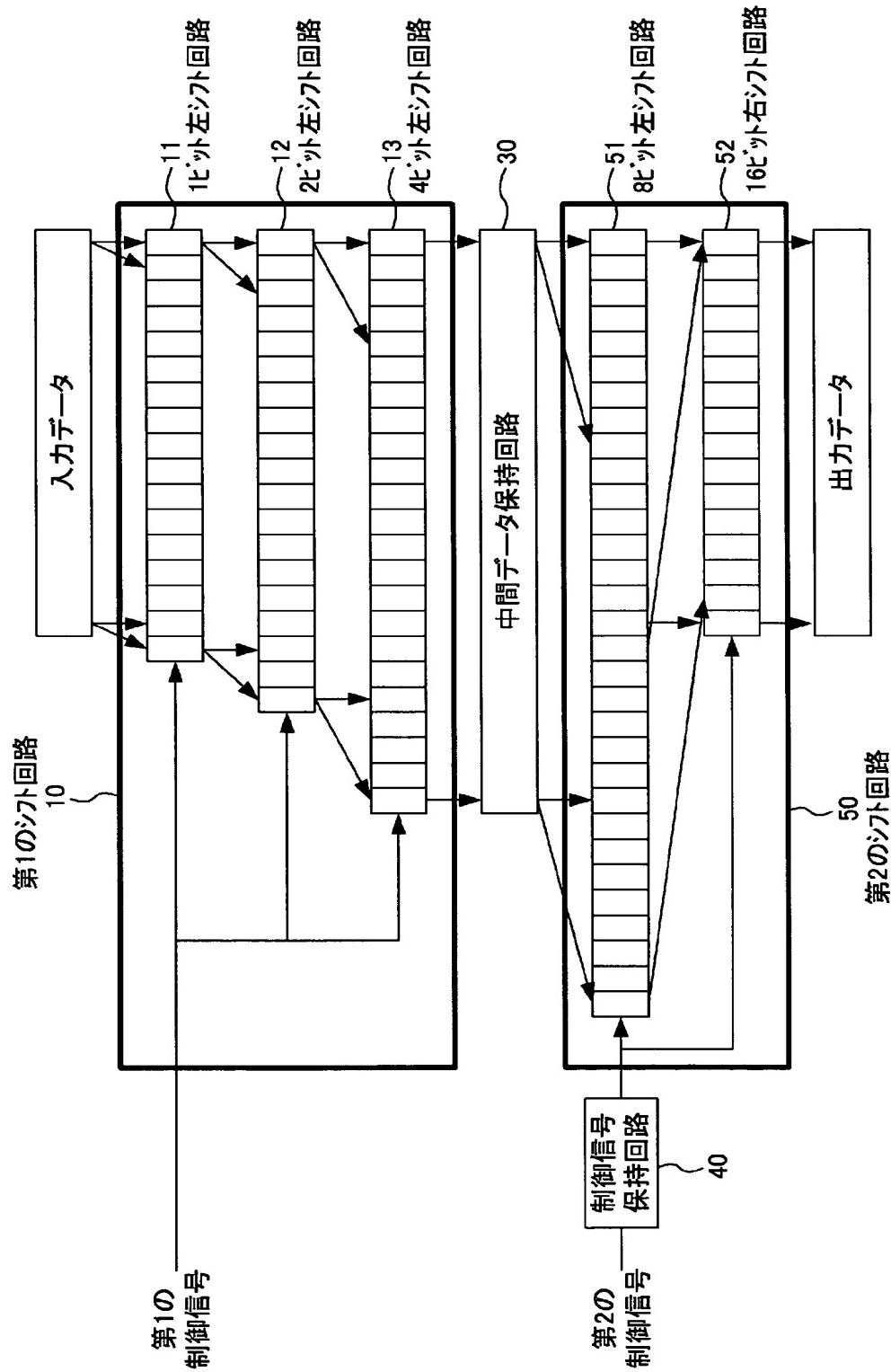
[図8]

C1[2]	C1[1]	C1[0]	22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Lo	Lo	—	
Lo	Hi	—	
Hi	Lo	—	
Hi	Hi	—	

[図9]

C1[2]	C1[1]	C1[0]	22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Lo	—	--	
Hi	—	--	

[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/015863

A. CLASSIFICATION OF SUBJECT MATTER
G06F7/00 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F7/00 (2006.01), **G06F5/01** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996	Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005	To-oku Jitsuyo Shinan Koho 1994-2005

Electronic database consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-337694 A (Sharp Corp.), 28 November, 2003 (28.11.03), (Family: none)	1-!3
A	US 2003/0131029 A1 (Bandy), 10 July, 2003 (10.07.03), (Family: none)	1-!3

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search
24 November, 2005 (24.11.05)Date of mailing of the international search report
06 December, 2005 (06.12.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類(国際特許分類(I.P.C.))

Int.Cl. C06F, 乃0 (2006. 01)

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(I.P.C.))

Int.Cl. C06F 5/00 (2006. 01) G06FS/01 (2006. 01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 3 - 3 3 7 6 9 4 A (シャープ株式会社) 2 0 0 3 . 1 1 . 2 8 (ファミリーなし)	1 - 8
A	U S 2 0 0 3 / 0 1 3 1 0 2 9 A 1 (Bandy) 2 0 0 3 . 0 7 . 1 O {7 アミ} 一なし	1 - 8

「C欄の続きにも文献が列挙されている。

五 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

IAJ 特に関連のある文献ではなく、一般的技術水準を示すもの

IEJ 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

ILJ 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

IOJ 口頭による開示、使用、展示等に言及する文献

IPJ 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

ITJ 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

IXJ 特に関連のある文献であって、当議文献のみで発明の新規性又は進歩性がないと考えられるもの

YJ 特に関連のある文献であって、当議文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

I&J 同一パテントファミリー文献

国際調査を完了した日

24. 11. 2005

国際調査報告の発送日

06. 12. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

田中 友章

電話番号 03-3581-1101 内線 3521

5E 9376